

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

02738361 **Image available**
THIN FILM TRANSISTOR

PUB. NO.: **01-035961** [JP 1035961 A]
PUBLISHED: February 07, 1989 (19890207)
INVENTOR(s): SANO YUTAKA
 IKEGUCHI HIROSHI
 TERAO NORIYUKI
APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
 (Japan)
 RICOH RES INST OF GEN ELECTRON [488199] (A Japanese Company
 or Corporation), JP (Japan)
APPL. NO.: 62-191021 [JP 87191021]
FILED: July 30, 1987 (19870730)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)
JOURNAL: Section: E, Section No. 763, Vol. 13, No. 226, Pg. 147, May
 25, 1989 (19890525)

ABSTRACT

PURPOSE: To stabilize the operation characteristics of a transistor such as threshold voltage and ON current-off current ratio by providing between the active layer and the insulating substrate an insulating film of a double-layer structure which is composed of a phosphorus-silicate glass film and a SiO(sub 2) film.

CONSTITUTION: In a thin film transistor (TFT), a PSG film 10 and a SiO(sub 2) film 17 are formed in double layers on an insulating substrate 1 of quartz, pyrex or the like. On this insulating film of a double-layer structure, an active layer 5 made of an amorphous silicon thin film or polysilicon thin film is formed, and a gate oxide film 4, a gate electrode 6, a source 2 and a drain 3 are formed. With this, the diffusion of the impurity contained in the insulating substrate 1 is prohibited by the PSG film 10 and the SiO(sub 2) film 17, and the probability of the active layer 5 being contaminated by the impurity from the substrate is substantially reduced, whereby the operation characteristics of the transistor such as threshold voltage, ON current and OFF current become stable.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

007817066

WPI Acc No: 89-082178/198911

**Thin film transistor - has active layer on insulation film comprising
phosphorus-silicate glass and silica laminate NoAbstract Dwg 0/4**

Patent Assignee: RICOH KK (RICO); RICOH OHYODENSMI KENKYUS (RICO-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Main IPC | Week |
|------------|------|----------|-------------|------|----------|----------|----------|
| JP 1035961 | A | 19890207 | JP 87191021 | A | 19870730 | | 198911 B |

Priority Applications (No Type Date): JP 87191021 A 19870730

Patent Details:

| Patent | Kind | Lan | Pg | Filing Notes | Application | Patent |
|------------|------|-----|----|--------------|-------------|--------|
| JP 1035961 | A | | 11 | | | |

Title Terms: THIN; FILM; TRANSISTOR; ACTIVE; LAYER; INSULATE; FILM;
COMPRISE; PHOSPHORUS; SILICATE; GLASS; SILICA; LAMINATE; NOABSTRACT

Derwent Class: L03; U12

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-35961

⑬ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

X-7925-5F
A-7514-5F

⑭ 公開 昭和64年(1989)2月7日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-191021

⑰ 出 願 昭62(1987)7月30日

⑱ 発 明 者 佐 野 豊 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内
⑲ 発 明 者 池 口 弘 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 発 明 者 寺 尾 典 之 宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応用電子研究所株式会社内
⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
㉑ 出 願 人 リコー応用電子研究所 宮城県柴田郡柴田町大字中名生字神明堂3-1 株式会社
㉒ 代 理 人 弁理士 佐田 守雄 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 絶縁基板上に作製した薄膜トランジスタにおいて、前記絶縁基板とチャンネルを形成する活性層との間に、リン-ケイ酸ガラス膜及びSiO₂膜からなる2層構造の絶縁膜を設けていることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

技術分野

本発明は薄膜トランジスタに関するものであり、さらに詳しくは絶縁基板とチャンネルを形成する活性層との間にリン-ケイ酸ガラス(PSG)膜及びSiO₂膜からなる2層構造の絶縁膜を設けている薄膜トランジスタに関するものである。

本発明は水素化アモルファスシリコン薄膜の光導電性を利用したファクシミリ送信側装置のセンサ駆動回路部分あるいはアクティブマトリックス型の液晶表示装置の液晶駆動および駆動

回路部分に応用可能である。

従来技術

現在、オフィス・オートメーション(OA)機器の軽薄短小化が急速に進んでいる。例えばファクシミリの送信側装置として重要な画像読取装置は縮小光学系と単結晶Siを用いた電荷結合素子(CCD)の組合せにより小型化が進んだ。そして最近ではこの縮小光学系の不要な等倍センサーが主流となって来た。この等倍センサーのセンサーアレイの光導電層には水素化アモルファスシリコン(a-Si:H)等が用いられており、絶縁基板上に形成されている。そしてセンサーアレイからの信号を読み取る回路の実装方法としては、外付の大規模集積回路を用いる方法と、センサーアレイと同一基板上に(薄膜トランジスタ(TFT)を作り込む方法とがある。デバイスの小型化という点を考慮すれば、前者よりも後者の方法がはるかに有利である。TFTのチャンネルが形成される活性層の材料としては水素化アモルファスシリコン(a-Si:H)やポリシリコン

(Poly-Si)が用いられている。高速スイッチング速度が要求される場合にはa-Si:Hよりもキャリア移動度の大きいPoly-Siが用いられている。

従来のTFTの一例を第1図に示す。この従来のTFTは絶縁基板1上に活性層5(約1,000-5,000Å)、ゲート絶縁膜4(約1,000-2,000Å)、ゲート電極6、ソース2、ドレイン3を形成した後、層間絶縁膜7を増積し、そして層間絶縁膜7にコンタクトホールを開けた後、金属電極配線8を作製してなるものである。

TFTの動作においてスレッシュホールド電圧は活性層5とゲート絶縁膜4の界面およびその近傍に存在する電荷によって大きく変動する。具体的には界面単位にトラップされた電荷やゲート熱酸化膜中に存在する固定電荷あるいはプロセス中およびトランジスタ完成後に外部から膜中に侵入したNaイオン等が考えられる。こうした電荷を減少させるために、従来は次の様な対策がとられていた。

① ゲート熱酸化前の洗浄工程の工夫

ルを形成する活性層がアモルファスシリコン、特に水素化アモルファスシリコン(a-Si:H)薄膜またはポリシリコン(Poly-Si)薄膜からなり、前記活性層と前記絶縁基板との間に、リン-ケイ酸ガラス(PSG)膜及びSiO₂膜からなる2層構造の絶縁膜を設けていることを特徴とする薄膜トランジスタを提供することによって前記目的が達成できることを見出した。

前記絶縁基板には先ずPSG膜が形成され、次にSiO₂膜が形成される。

前記絶縁基板上の2層構造の絶縁膜のうちのPSG膜の膜厚は一般的に2,000-10,000Åであり、SiO₂膜の膜厚は一般的に2,000-10,000Åである。

以下、本発明の一実施例を示す第2図に従って本発明を具体的に説明する。

第2図において、本発明に係る薄膜トランジスタ(TFT)は石英パイレックス等の絶縁基板1上にPSG膜10およびSiO₂膜17の絶縁膜を2層に形成する。PSG膜は吸湿性があり、表面側にある

金属不純物の除去

② ゲート熱酸化工程の工夫

ハロゲン添加

不活性ガス中のアニール

③ 層間絶縁膜の工夫

PSG膜を用いること

しかしながらこうした対策がとられても、絶縁基板中に含まれている不純物のTFT活性層への拡散による汚染は防ぐことはできなかった。

目 的

本発明は、絶縁基板に含まれる不純物が外部へ拡散して活性層を汚染するのを防ぐことによって、従来の欠点を克服し、スレッシュホールド電圧、オン電流-オフ電流比等のトランジスタ動作特性が常に安定した信頼性の高い薄膜トランジスタを提供することを目的とする。

構 成

本発明者は前記目的を達成するために鋭意研究した結果、絶縁基板上に作製した薄膜トランジスタにおいて、薄膜トランジスタのチャネル

と空気中の水分を吸い膜性が劣化する。またA1酸と接触しているとA2を腐食させる。また基板に含まれているNa⁺のゲッター効果がある。これらに対しSiO₂膜は吸湿性がない。従って基板上に最初にPSG膜を形成し、その上にSiO₂膜を形成するのが好ましい。

このように形成したPSG膜10及びSiO₂膜17の2層構造の絶縁膜の上にアモルファスシリコン薄膜あるいはポリシリコン薄膜からなる活性層5が、そしてゲート酸化膜4、ゲート電極6、ソース2、ドレイン3が形成されており、これらの上に減圧CVD法により形成されたPSG膜7が層間絶縁膜として積層されている。そして、この層間絶縁膜7上および層間絶縁膜に形成されたコンタクトホール18上には金属電極配線8が設けられている。

前記ゲート絶縁膜4は活性層を熱酸化して形成した熱酸化膜の上にさらにCVD法により酸化シリコン膜を形成した2層構造となっても良く、このように2層構造とするとゲート絶縁

膜4の絶縁耐圧が向上し、ゲート絶縁膜4の薄膜化が可能となる。

また、前記層間絶縁膜7は好ましくは、金属電極配線8の段切れ、及び金属電極配線8と、ソース2、ドレイン3、活性層5間の電流リークを防ぐために、低温減圧化学蒸着法により形成した SiO_2 膜またはPSG膜と高温減圧化学蒸着法により形成した SiO_2 膜との2層構造となっても良い。

このように本発明に係るTFTは絶縁基板1と活性層5の間にPSG膜10および SiO_2 膜17の2層の絶縁膜が形成されているので、絶縁基板1に含まれる不純物の拡散はPSG膜10および SiO_2 膜17で阻止され、活性層が基板からの不純物により汚染される可能性は大幅に減る。

次に、このようなTFTの作製例を第3図および第4図に従って説明する。

例 1

- (1) 表面を十分に研磨した透明石英ガラス1を十分に洗浄した後、PSG膜10を5,000Åの

- (4) Poly-Si半導体層を1100℃で、3% HClを含む乾燥酸液中で熱酸化し、熱酸化膜4を1200Åの厚さで形成する。

- (5) Poly-Siゲート電極8を約5000Åの厚さで堆積する。

- (6) Poly-Siゲート電極8および熱酸化膜4をパターニングする(第4図(b)参照)。

- (7) PSG(リンガラス、n-チャンネルトランジスタ作製の場合)あるいはBSG(ボロンガラス、p-チャンネルトランジスタ作製の場合)を堆積後、熱拡散によりソース2、ドレイン3領域を形成後、拡散源となったPSGあるいはBSGを除去する(第4図(c)参照)。

- (8) 減圧CVD法によりPSG膜7を1μmの厚さで堆積し、層間絶縁膜とする(第4図(d)参照)。

- (9) コンタクトホール16をあけ、ソース、ドレインから12電極配線8をとり出す(第4図(e)参照)。

以上述べたプロセスにより作製したp-チャ

厚さで透明石英ガラス全体に堆積する。次に SiO_2 膜17を5,000Åの厚さで、PSG膜10上に堆積する(第3図参照)。これらのPSG膜および SiO_2 膜は減圧化学蒸着(CVD)法により製膜し、その製膜条件は以下の通りである。

| | | |
|------------------|--|---------|
| PSG 膜 | 基板温度 | 430℃ |
| | SiH_4 流量 | 60SCCN |
| | O_2 流量 | 200SCCN |
| | 20% PH_3 /80% SiH_4 流量 | 40SCCN |
| | 圧 力 | 0.2Torr |
| SiO_2 膜 | 基板温度 | 430℃ |
| | SiH_4 流量 | 80SCCN |
| | O_2 流量 | 200SCCN |
| | 圧 力 | 0.2Torr |

- (2) 後に活性層となるPoly-Si半導体膜を減圧CVD法により630℃で約1700Åの厚さで堆積する。

- (3) Poly-Si半導体層11をパターニングする(第4図(a)参照)。

ンネルあるいはn-チャンネルTFTをB.T.ストレス試験にかけたところ、スレッシホールド電圧のシフトおよびオン電流オフ電流の変化は全く観察されなかった。さらに本発明によるTFTでCMOSを作製し、シフトレジスタを構成したところ、その最高駆動周波数にはB.T.ストレス試験前後で変化はみられなかった。

例 2

例1のプロセス(1)において、 SiO_2 膜としてTEOS酸化膜を用いた。その製膜条件は以下の通りである。

| | |
|------------------|--------------|
| 基 板 温 度 | 750℃ |
| TEOS(テトラエトキシシラン) | 280℃ ……バブリング |
| 圧 力 | 0.5Torr |

こうして作製したp-チャンネルあるいはn-チャンネルTFT、さらにCMOSについて例1と同様なB.T.ストレス試験をしたところ、例1と同様な良好な結果が得られた。

さらに例1あるいは例2で作製したCMOS TFTと同一基板上にa-Si:Hセンサーを一体化して

作り込みA4サイズのラインセンサーを作製したところ、A4サイズの原稿1枚を読み取るのに要する時間は1sec以下であり、また読み取った原稿の画質もきわめて良好であった。

効 果

以上のように本発明によれば、絶縁基板と活性層との間にPSG膜およびSiO₂膜からなる2層の絶縁膜が存在するため、絶縁基板に含まれる不純物が活性層に向けて拡散することがなくなり、TFTのスレッシホールド電圧、オン電流、オフ電流比等のトランジスタ動作特性が常に安定した信頼性の高い薄膜トランジスタを容易に作製できるという効果を有する。

4. 図面の簡単な説明

第1図は従来のTFTの一例を示す説明図である。

第2図は本発明に係るTFTの一実施例を示す説明図である。

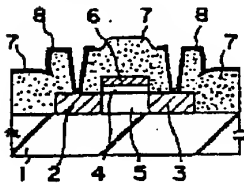
第3図及び第4図は本発明に係るTFTの作製工程図である。

- | | |
|--|----------------|
| 1…絶縁基板 | 2…ソース |
| 3…ドレイン | 4…ゲート絶縁膜 |
| 5…活性層 | 6…ゲート電極 |
| 7…層間絶縁膜 | 8…金属電極配線 |
| 10…PSG膜 | 11…Poly-Si半導体層 |
| 12…PSG膜およびSiO ₂ 膜を形成した透明石英ガラス | |
| 15…コンタクトホール | |
| 17…SiO ₂ 膜 | |

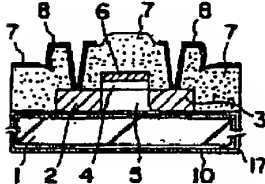
特許出願人 株式会社 リコー 外1名
代理人 弁理士 佐田 守 雄 外1名



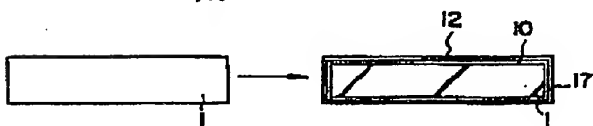
第1図



第2図



第3図



第4図

